

Wu et al
BSKB, UK
February 2, 2004
0941-0910
703-2058000
1 OF 1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 31 日
Application Date

申請案號：092120946
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2004 年 1 月 16 日
Issue Date

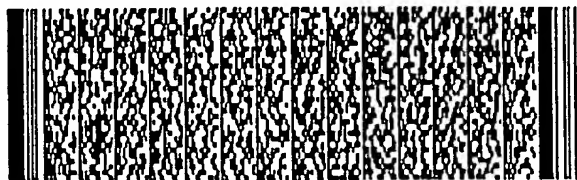
發文字號：09320051820
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	雙鑲嵌式開口結構及雙鑲嵌式內連線之製作方法
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	1. 吳孟韋 2. 梁恩山 3. 李鏗堯
	姓 名 (英文)	1. Meng Wei Wu 2. En-Shan Liang 3. Lee Keng Yao
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 新竹市大學路86號15樓之二 2. 桃園縣楊梅鎮新榮里8鄰新榮路89巷7號 3. 新竹市明湖路1050巷38號3樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 焦佑鈞
代表人 (英文)	1.	



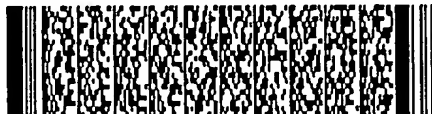
0492_9642TWE(nl);91_094;jamagwo.pfd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 吳素華
	姓 名 (英文)	4. Su-Hua Wu
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 苗栗縣公館鄉五谷村7鄰239號
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：雙鑲嵌式開口結構及雙鑲嵌式內連線之製作方法)

本發明提供一種雙鑲嵌式金屬內連線之製作方法。包括下列步驟：提供一形成有介電層之半導體基底；形成一具有接觸孔開口圖案之第一光阻層於該介電層上；形成一犧牲層於第一光阻層上，且填入上述接觸孔開口圖案；形成一具有內連線開口圖案之第二光阻層於犧牲層上，且該第二光阻層露出接觸孔開口圖案上方之犧牲層；以第二光阻層為罩幕蝕刻犧牲層，以將內連線開口圖案轉移至犧牲層；以該第二光阻層為罩幕，依序蝕刻第一光阻層與介電層，以將內連線開口圖案轉移至介電層，並沿接觸孔開口圖案蝕刻介電層，以於介電層中形成一接觸孔開口。本發明之鑲嵌式金屬化製程具簡化的製程步驟，可降低製造成本。尤其是，本發明提供一種不需蝕刻停止層的鑲嵌式金屬化製程，可避免介電層間的寄生電容增加，進而降低元件在運作時的RC延遲。

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：雙鑲嵌式開口結構及雙鑲嵌式內連線之製作方法)

伍、(一)、本案代表圖為：第2G圖

(二)、本案代表圖之元件代表符號簡單說明：

101~半導體基底；

102~第一金屬層；

103~介電層；

104~第一光阻層；

106~犧牲層；

109~接觸孔開口；

110~內連線開口。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

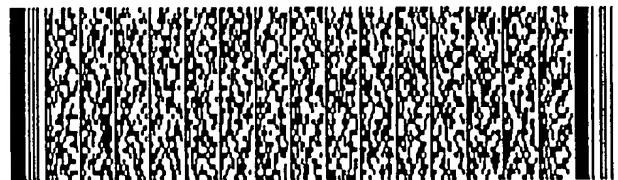
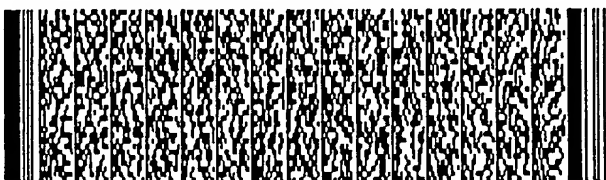
本發明係有關於一種製造半導體導電元件的方法，特別是有關於一種雙鑲嵌式開口結構及雙鑲嵌式內連線之製作方法。

[先前技術]

隨著積體電路中元件密度的增加，元件的體積越來越小、線的寬度也越來越窄，因此對於良好線路連結的需求也越來越大。同時，隨此積體電路製程的快速發展，後段製程進入深次微米元件領域，後段製程 (back-end-of-line, BEOL) 愈來愈受到重視，它們整合了愈來愈多含接觸孔栓塞之鑲嵌內連線之雙鑲嵌 (dual-damascene) 內連線技術，以進行先進的金屬內連線接合作業。然而，金屬內連線所造成的RC延遲嚴重影響元件操作的速度。改善RC延遲的方法可以採用低介電常數 (low-k dielectric materials) 的材料作為多層金屬內連線之間的絕緣層，藉以降低金屬層之間的寄生電容大小，增加金屬內連線密度；另一個可行的方法是選用高導電率的金屬材料。

即使傳統的內連線連結已足以應用於許多元件上，然而對極高密度的積體電路而言，細且長的導線之每單位長度的電阻仍會變的意外的高，使得高導電率之線路連結元件的表現受到限制。

鋁在短且寬的導電特性上可作為理想的金屬內連線，然而在細且長的導線的應用上其電阻就會太高。此外，鎢



五、發明說明 (2)

亦常作為金屬內連線，但在製程技術上，將鎢填於小的電層接觸孔隙中卻很困難。

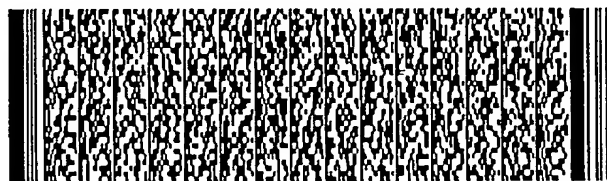
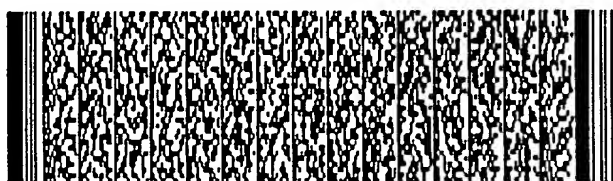
早期IC製程不願採用銅作為金屬連線線是因為銅的擴散係數很高，其與矽或二氧化矽接觸後會很快擴散到基材，產生深層能階的問題。此外銅本身易氧化，在低溫下易與其它材料反應，以及銅缺乏有效的乾式蝕刻技術，這些原因限制銅金屬的發展。但是隨著材料與製程技術的進步，各種擴散障礙層不斷被研究，鑲嵌式金屬化製程以及銅化學機械研磨技術的成功，使這些問題得以解決。

基於上述限制，習知鑲嵌式金屬化製程係使用兩道微影及蝕刻製程，以製成含接觸孔栓塞之鑲嵌式金屬內連線，步驟較為繁複，且於兩道微影及蝕刻製程之間會有光阻殘留的問題，致使製造成本增加。

第1A至1E圖係顯示習知鑲嵌式內連線的製作方法：提供一形成有第一金屬層11的半導體基底10，形成一第一介電層12於上述半導體基底10上，之後形成一蝕刻停止層13於第一介電層12上，如圖1A所示。

請參見第1B圖，形成一第二介電層14於蝕刻停止層13上，然後形成具接觸孔開口圖案之第一光阻層15，並以第一光阻層15為罩幕，依序蝕刻第二介電層14、蝕刻停止層13、以及第一介電層12，以形成接觸孔開口16。

請參見第1C圖，接著形成具內連線開口圖案之第二光阻層17，並以第二光阻層17為罩幕，蝕刻第二介電層14，形成內連線開口18與雙鑲嵌式開口結構19。



五、發明說明 (3)

此後，請參見第1D圖，形成第二金屬層20於介電層1上並填入已形成之接觸孔開口19及內連線開口18。將第二金屬層20平坦化，將多出的金屬層磨平，露出第二介電層14，以形成想要的含接觸孔栓塞之雙鑲嵌內連線21。

在上述傳統製程中，由於接觸孔開口及內連線開口於不同蝕刻步驟中形成，因此需要額外的蝕刻停止層，此蝕刻停止層乃由高介電係數之材料所構成，形成於介電層之間，會導致內層介電層的寄生電容增加，進而使元件在運作時RC延遲的增加。

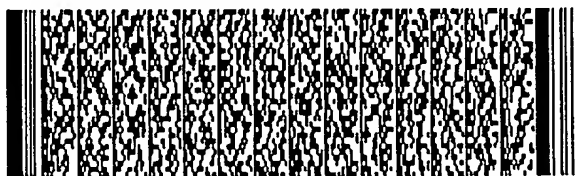
美國專利第6498092號揭示三種形成含接觸孔栓塞之雙鑲嵌式金屬內連線的方法，分別為：先接觸孔開口蝕刻、先內連線開口蝕刻、以及接觸孔開口與內連線開口同時蝕刻的方法。然而這三種方法皆需使用蝕刻停止層，無法完全避免內層介電層間寄生電容的增加，而使元件在運作時RC延遲的增加。

美國專利第6271593號亦揭示一種由高導電率金屬材料所製造的雙鑲嵌式金屬內連線的方法，然而其使用了多層介電層增加了製程的複雜度，致使製造成本增加。再者，其利用高介電係數之介電層作為蝕刻停止層，亦無法避免元件在運作時RC延遲的問題。

發明內容：

有鑑於此，本發明的目的在於提供一種雙鑲嵌式開口結構的製造方法。

本發明的另一目的在於提供一種製作含接觸孔栓塞之



五、發明說明 (4)

雙鑲嵌式金屬內連線的方法。

本發明的另一目的在於提供一種使用三層光阻的雙鑲嵌式金屬內連線製程，可簡化製程步驟，降低製造成本。

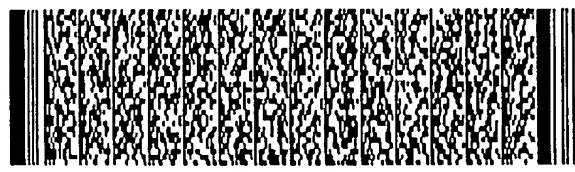
為達成上述目的，本發明提供一種雙鑲嵌式開口結構的製作方法，包括下列步驟：提供一形成有介電層之半導體基底，之後形成一具有接觸孔開口圖案之第一光阻層於上述介電層上，然後再形成一犧牲層於第一光阻層上，且填入上述接觸孔開口圖案。

此後，形成一具有內連線圖案之第二光阻層於犧牲層上，且第二光阻層露出接觸孔開口圖案上方之犧牲層，再以第二光阻層為罩幕蝕刻犧牲層，以將內連線開口圖案轉移至犧牲層。

再者以第二光阻層為罩幕，依序蝕刻第一光阻層與介電層，以將內連線開口圖案轉移至介電層，形成一內連線開口，並沿接觸孔開口圖案蝕刻介電層，以於介電層中形成接觸孔開口。

最後形成一導電層於已形成內連線開口圖案及接觸孔開口圖案之介電層上，以及將導電層平坦化，露出介電層，以形成雙鑲嵌式開口結構。

上述介電層材料是由包括 SiO_2 、硼矽玻璃 (borosilicate glass; BSG)、硼磷矽玻璃 (borophosphate silicate glass; BPSG)、氟摻雜玻璃 (fluorosilicate glass; FSG) 或四乙氧基矽酸鹽 (tetraethyl-ortho-silicate ; TEOS) 所製成。第一及第



五、發明說明 (5)

二光阻層為含矽光阻(chemically amplified silicon resist)，或深紫外線光阻(DUV photoresist)，亦可為不同的光阻材料。此外犧牲層較佳是由I-線光阻(I-line resist)或其他適合的材料所構成，例如非感光性光阻(non-photosensitive resist)。

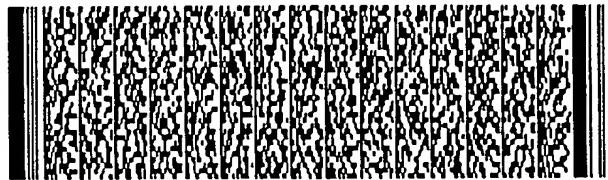
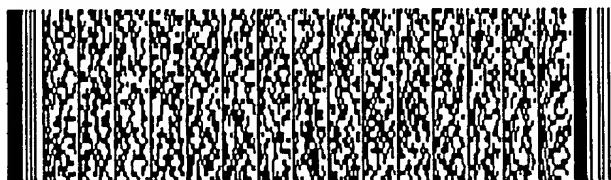
以下配合圖式以及較佳實施例，以更詳細地說明本發明。

實施方式：

以下利用第2A至2I圖來說明本發明之一種雙鑲嵌式開口結構及含接觸孔栓塞之雙鑲嵌式金屬內連線製作方法及其較佳實施方式。

請參閱第2A圖，提供一形成有第一金屬層102的半導體基底101，如一矽基底，其上可形成任何所需之半導體元件，此處為簡化起見，僅以一平整的基底101表示之。然後在其上形成一介電層103。其中介電層103可由一層或多層的介電材料，如 SiO_2 、硼矽玻璃(borosilicate glass; BSG)、硼磷矽玻璃(borophosphate silicate glass; BPSG)、氟摻雜玻璃(fluorosilicate glass; FSG)或四乙氧基矽酸鹽(tetraethyl-ortho-silicate; TEOS)所製成。換言之，即作為鑲嵌式金屬內連線製程之內層介電層(ILD)。

其次，如第2B至2D圖所示，塗佈一第一光阻層104(即含矽光阻層1或DUV1)，經曝光顯影後形成一具有接觸孔開口圖案105之第一光阻層104於介電層103上。之後，形成



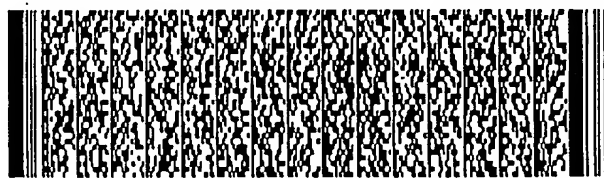
五、發明說明 (6)

一犧牲層106(如I-線光阻層)於第一光阻層104上，且填上述接觸孔圖案105內。此後，再塗佈一第二光阻層108(即含矽光阻層2或DUV2)，經曝光顯影後形成一具有內連線圖案107之第二光阻層108於犧牲層106上，且第二光阻層108露出介層窗圖案106上方之犧牲層。

根據本發明之一較佳實施方式，第一及第二光阻層為含矽光阻或深紫外線光阻，第一及第二光阻層的厚度個別為1000~5000 Å，且第一及第二光阻層亦可以是不同光阻材料。另一方面，犧牲層較佳是由I-線光阻材料所構成，其厚度為4000~12000 Å，或是由符合犧牲層的蝕刻速率比第一光阻層的蝕刻速率高的材料，例如非感光性光阻(non-photosensitive resist)。

再者以第二光阻層108為罩幕，以非等向性(anisotropic)蝕刻製程，如反應性離子蝕刻(RIE)製程或電漿蝕刻製程，較佳者為反應性離子蝕刻(RIE)製程E1，蝕刻犧牲層106，選擇犧牲層106的蝕刻率遠高於第二光阻層108蝕刻率之蝕刻條件，其速率比例為5-15:1，以將內連線開口圖案107轉移至犧牲層106上，因為犧牲層106蝕率遠高於第二光阻層108的蝕刻率，藉由控制過蝕刻(over etching)的時間，接觸孔圖案105內的犧牲層106'很快被蝕刻而露出介電層103，如第2E圖所示。

請參閱第2F圖，以第二光阻層108為罩幕，藉由反應性離子蝕刻(RIE)製程E2依序蝕刻第一光阻層104以及介電層103，選擇犧牲層106的蝕刻率相當於第二光阻層108蝕



五、發明說明 (7)

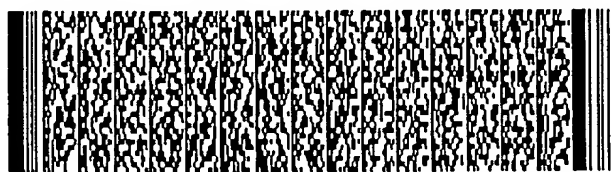
刻率的蝕刻條件，蝕刻第一光阻層104以及介電層103。第一光阻層104與第二光阻層108具相當的蝕刻速率，當第二光阻層108亦被蝕刻而露出犧牲層106時，即可將內連線開口圖案107轉移至第一光阻層104，並沿接觸孔開口圖案105蝕刻介電層103。

再請參閱第2G圖，以犧牲層106為罩幕，藉由反應性離子蝕刻(RIE)製程蝕刻介電層103，選擇介電層103蝕刻速率高於第一光阻層104蝕刻率的蝕刻條件，以將內連線開口圖案107轉移至介電層103，並持續沿接觸孔開口圖案105蝕刻介電層103，直至露出底層之第一金屬層102為止，以於介電層103中形成一接觸孔開口109。然後去除犧牲層106與第一光阻層106，以形成雙鑲嵌式開口結構。

請參閱第2I圖，以電鍍法、蒸鍍(evaporation)法、濺鍍(sputtering)法、或有機金屬化學氣相沉積(MOCVD)法，較佳者為電鍍法，沉積一第二導電層，如金、銅、銀、鋁、及鎢其中任一或合金材料，較佳者為銅，於已形成具接觸孔開口109及內連線開口110之介電層103上，並填入接觸孔開口109及內連線開口110內，再將第二導電層施以平坦化製程，直至露出介電層，以形成含接點栓塞112之雙鑲嵌式金屬內連線111。

上述平坦化製程係蝕回製程或化學機械研磨(CMP)製程。

由上述本發明之較佳實施方式可知，一種雙鑲嵌式金屬內連線製程具較簡化的製程步驟，可降低製造成本，且



五、發明說明 (8)

金屬內連線的深度可藉蝕刻製程參數調變兩個光阻層蝕刻速率與犧牲蝕刻速率的比率，或者藉由第一光阻層的厚度調整內連線開口的深度，以達最佳化。

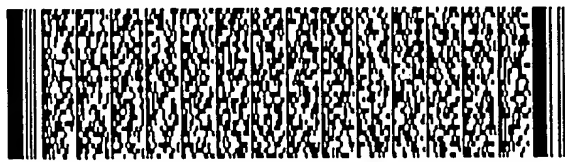
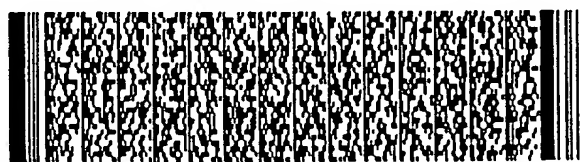
此外本發明亦提供一種不需蝕刻停止層的雙鑲嵌式內連線製程，可避免介電層間的寄生電容增加，進而降低元件在運作時的RC延遲。

[本案特徵及效果]

本發明之特徵與效果在於：提供一種雙鑲嵌式開口結構的製造方法，以製成含接觸孔栓塞之雙鑲嵌式金屬內連線的方法。此外本發明的另一特徵在於提供一種使用三層光阻的雙鑲嵌式金屬內連線製程，可簡化製程步驟，降低製造成本。

再者本發明的另一特徵與效果在於提供一種不需蝕刻停止層的雙鑲嵌式金屬內連線製程，可避免介電層間的寄生電容增加，進而降低使元件在運作時RC的延遲。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為使本發明之目的、特徵、極優點能更明顯易懂，
下來配合附圖，特舉一實施例詳細說明如下。

第1A至1E圖係顯示習知鑲嵌式金屬化製作方法的佈置剖面圖。其中第1A圖係顯示半導體基底，其上有金屬層以及介電層。

第1B圖係顯示習知形成接觸孔開口的佈置剖面圖。

第1C圖係顯示習知形成含接觸孔開口之雙鑲嵌式開口的佈置剖面圖。

第1D圖係顯示習知形成第二金屬層於介電層上並填入接觸孔開口及內連線開口的佈置剖面圖。

第1E圖係顯示習知平坦化後之雙鑲嵌式金屬內連線的佈置剖面圖。

第2A至2I圖係根據本發明之較佳實施方式，形成鑲嵌式金屬化製程的佈置剖面圖。其中第2A圖係顯示半導體基底，其上有金屬層及介電層。

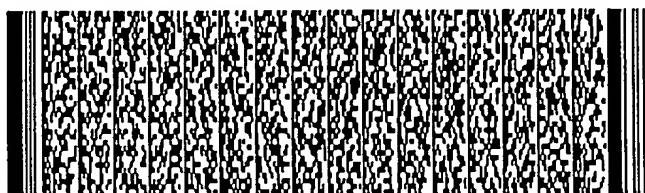
第2B圖係顯示本發明形成具有接觸孔開口圖案之第一光阻層的佈置剖面圖。

第2C圖係顯示本發明形成犧牲層的佈置剖面圖。

第2D圖係顯示本發明形成具有內連線開口圖案之第二光阻層的佈置剖面圖。

第2E至2G圖係顯示本發明蝕刻具接觸孔開口之內連線開口結構的佈置剖面圖。

第2H圖係顯示本發明之具接觸孔開口之內連線開口結



圖式簡單說明

構的佈置剖面圖。

第2I圖係顯示本發明平坦化後之雙鑲嵌式金屬內連線的佈置剖面圖。

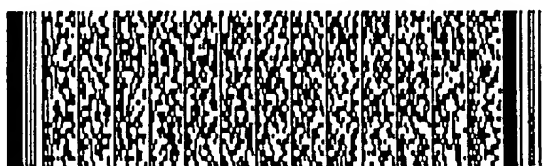
[符號說明]

習知部分(第1A至1E圖)

- 10~半導體基底；
- 11~第一金屬層；
- 12~介電層；
- 15~第一光阻層；
- 16~接觸孔開口；
- 17~第二光阻層；
- 18~內連線開口；
- 19~雙鑲嵌式開口；
- 20~第二金屬層；
- 21~鑲嵌式金屬內連線；
- 22~雙鑲嵌式金屬內連線。

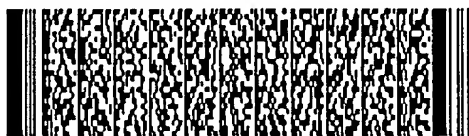
本案部分(第2A至2I圖)

- 101~半導體基底；
- 102~第一金屬層；
- 103~介電層；
- 104~第一光阻層；
- 105~接觸孔開口圖案；



圖式簡單說明

- 106~犧牲層；
- 106'~接觸孔開口圖案之犧牲層；
- 107~內連線開口圖案；
- 108~第二光阻層；
- E1、E2~反應性離子蝕刻；
- 109~雙鑲嵌式開口；
- 110~內連線開口；
- 111~鑲嵌式金屬內連線；
- 112~雙鑲嵌式金屬內連線。



六、申請專利範圍

1. 一種雙鑲嵌式開口之製作方法，包括下列步驟：

提供一形成有介電層之半導體基底；

形成一具有接觸孔開口圖案之第一光阻層於該介電層上；

形成一犧牲層於該第一光阻層上，且填入上述接觸孔開口圖案；

形成一具有內連線開口圖案之第二光阻層於該犧牲層上，且該第二光阻層露出該接觸孔開口圖案上方之犧牲層；

以該第二光阻層為罩幕蝕刻該犧牲層，以將該內連線開口圖案轉移至犧牲層；及

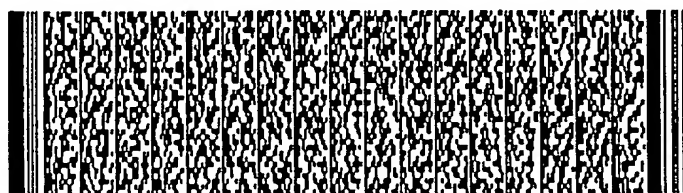
以該第二光阻層為罩幕，依序蝕刻該第一光阻層與該介電層，以將該內連線開口圖案轉移至該介電層，形成內連線開口，並沿該接觸孔開口圖案蝕刻該介電層，以於該介電層中形成接觸孔開口。

2. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中介電層是由包括 SiO_2 、硼矽玻璃(BSG)、硼磷矽玻璃(BPSG)、氟摻雜玻璃(FSG)及四乙氧基矽酸鹽(TEOS)其中任一單層或多層材料所製成。

3. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中第一及第二光阻層係含矽光阻。

4. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中第一及第二光阻層係深紫外線光阻。

5. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作



六、申請專利範圍

方法，第一及第二光阻層係不同的光阻材料。

6. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中犧牲層是由I-線光阻材料所構成。

7. 如申請專利範圍第6項所述之雙鑲嵌式開口之製作方法，其中犧牲層是由非感光性光阻(non-photosensitive resist)所構成。

8. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中藉蝕刻製程參數(如氣體種類、流量、分壓、及功率)調變兩個光阻層蝕刻速率與犧牲層蝕刻速率的比率，調整內連線開口的深度。

9. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中在蝕刻犧牲層及第一光阻層時，該介電層的蝕刻速率大抵與第一光阻層的蝕刻速率相當。

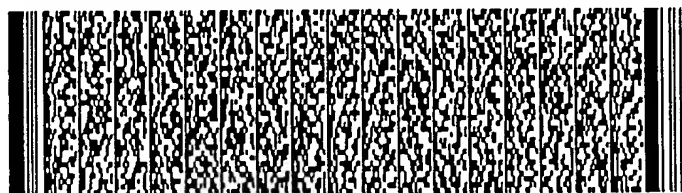
10. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中該犧牲層的蝕刻速率比兩個光阻層的蝕刻速率高，其蝕刻速率比例為5-15 1。

11. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中第一及第二光阻層的厚度個別為1000~5000 Å。

12. 如申請專利範圍第1項所述之雙鑲嵌式開口之製作方法，其中犧牲層的厚度為4000~12000 Å。

13. 一種雙鑲嵌式金屬內連線之製作方法，包括下列步驟：

提供一形成有金屬層之半導體基底；



六、申請專利範圍

形成一介電層於該金屬層上；

形成一具有接觸孔開口圖案之第一光阻層於該介電層上；

形成一第二光阻層於該第一光阻層上，且填入上述接觸孔開口圖案；

形成一具有內連線開口圖案之第三光阻層於該第二光阻層上，且該第三光阻層露出該接觸孔開口圖案上方之第二光阻層；

以該第三光阻層為罩幕蝕刻該第二光阻層，以將該內連線開口圖案轉移至第二光阻層；

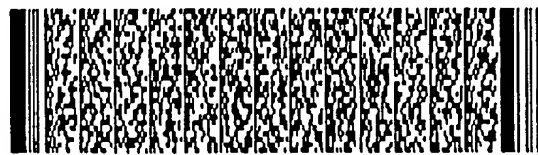
以該第三光阻層為罩幕，依序蝕刻該第一光阻層與該介電層，以將該內連線開口圖案轉移至該介電層以形成一內連線開口，並沿該接觸孔開口圖案蝕刻該介電層，以於該介電層中形成一接觸孔開口；

形成一導電層於該介電層上，並填入該接觸孔開口及內連線開口內；以及

平坦化該導電層，露出內層介電層，以形成鑲嵌式金屬內連線及接觸孔栓塞。

14. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中介電層是由包括 SiO_2 、硼矽玻璃(BSG)、硼磷矽玻璃(BPSG)、氟摻雜玻璃(FSG)及四乙氧基矽酸鹽(TEOS)其中任一單層或多層材料所製成。

15. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中第一及第三光阻層係含矽光阻。



六、申請專利範圍

16. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中第一及第三光阻層係深紫外線光阻。

17. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中第一及第三光阻層係不同的光阻材料。

18. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中第二光阻層是由I-線光阻材料所構成。

19. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中第二光阻層是由非感光性光阻(non-photosensitive resist)材料所構成。

20. 如申請專利範圍第13項所述之雙鑲嵌式開口之製作方法，其中藉蝕刻製程參數(如氣體流量、種類、分壓、及功率)調變第一及第三光阻層蝕刻速率與第二光阻層蝕刻速率的比率，調整內連線開口的深度。

21. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中該第二光阻層的蝕刻速率比該第一及第三光阻層的蝕刻速率高，其蝕刻速率比例為5-15:1。

22. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中在蝕刻第一及第二光阻層時，該介電層的蝕刻速率大抵與第一光阻層的蝕刻速率相當。

23. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中第一及第二光阻層的厚度個別為1000~5000 Å。



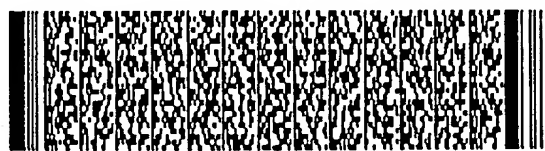
六、申請專利範圍

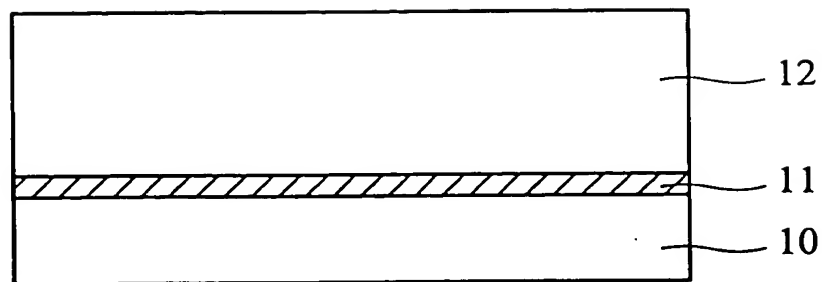
24. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中犧牲層的厚度為4000~12000 Å。

25. 如申請專利範圍第13項所述之鑲嵌式金屬化製程，其中該導電層為金屬。

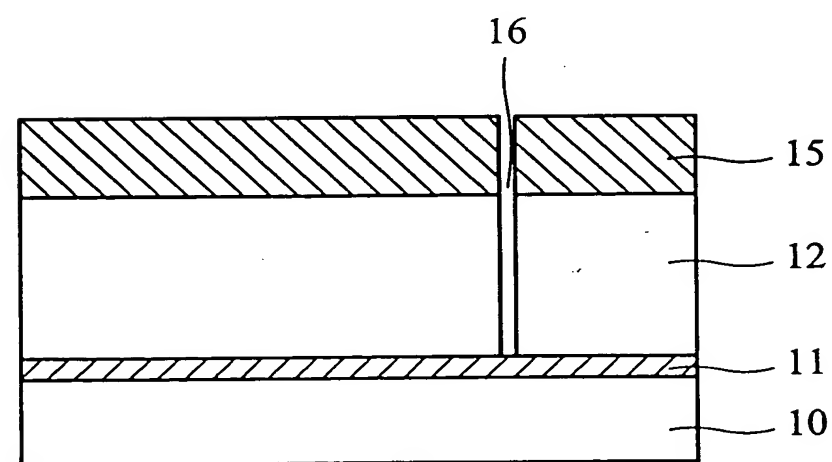
26. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中該導電層為金、銅、銀、鋁、及鎢其中任一或合金材料所製成。

27. 如申請專利範圍第13項所述之雙鑲嵌式金屬內連線之製作方法，其中該平坦化製程係化學機械研磨製程。

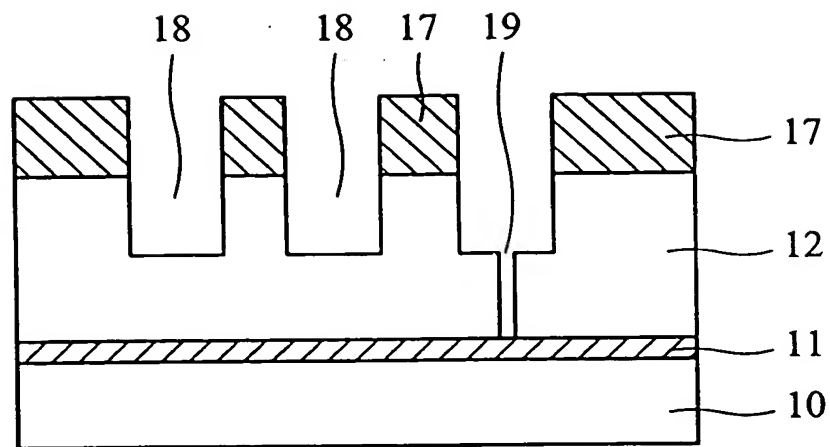




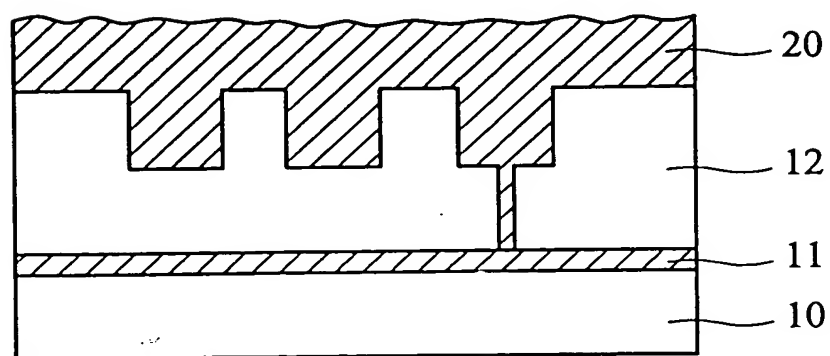
第 1A 圖



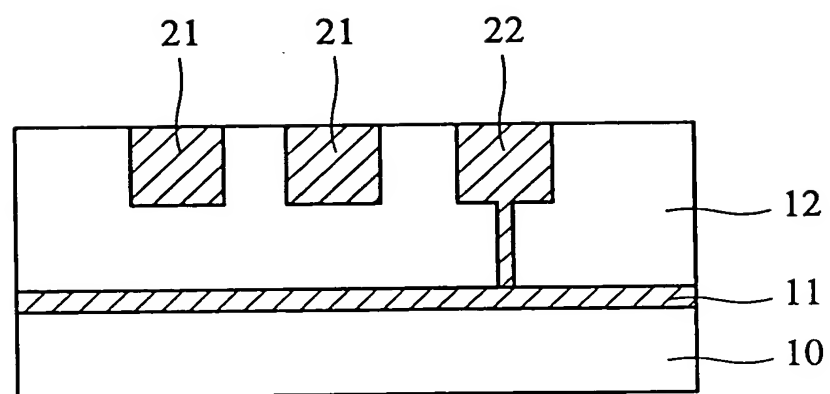
第 1B 圖



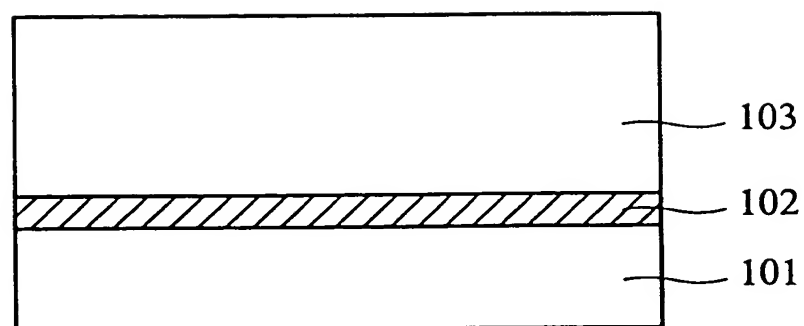
第 1C 圖



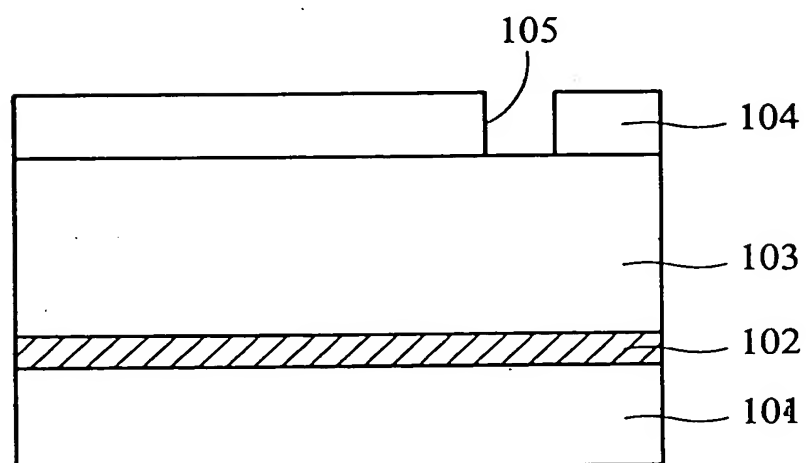
第 1D 圖



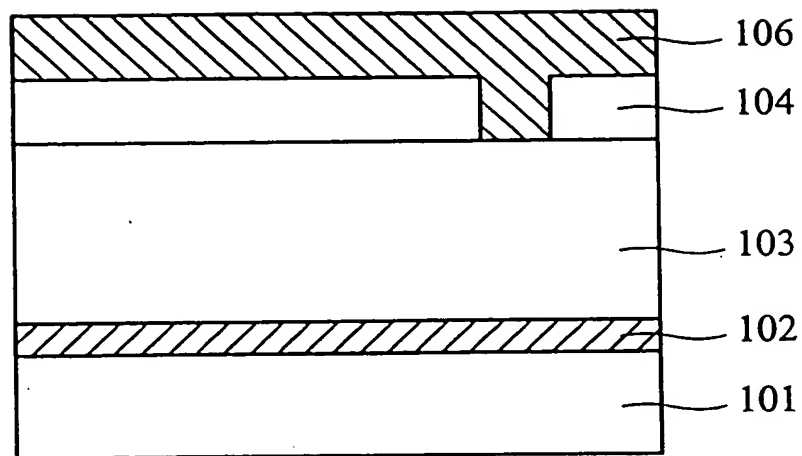
第1E圖



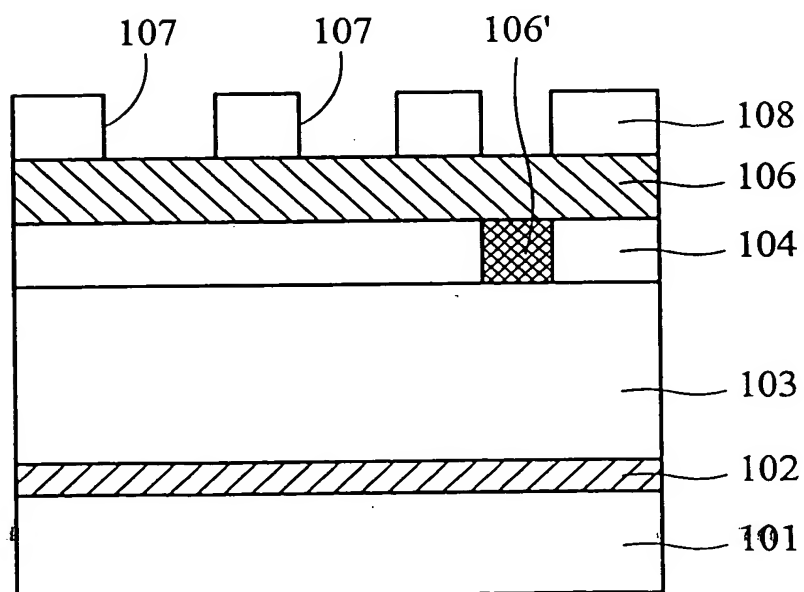
第 2A 圖



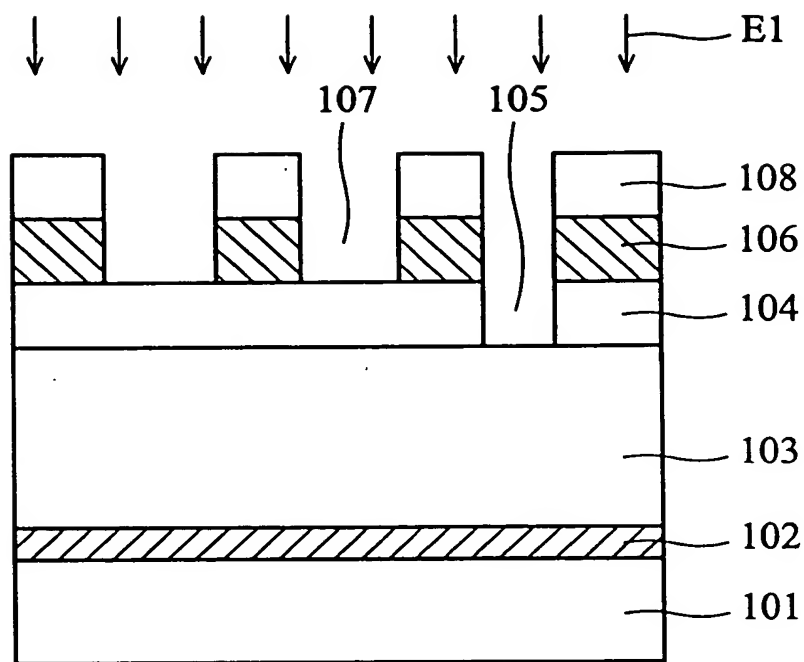
第 2B 圖



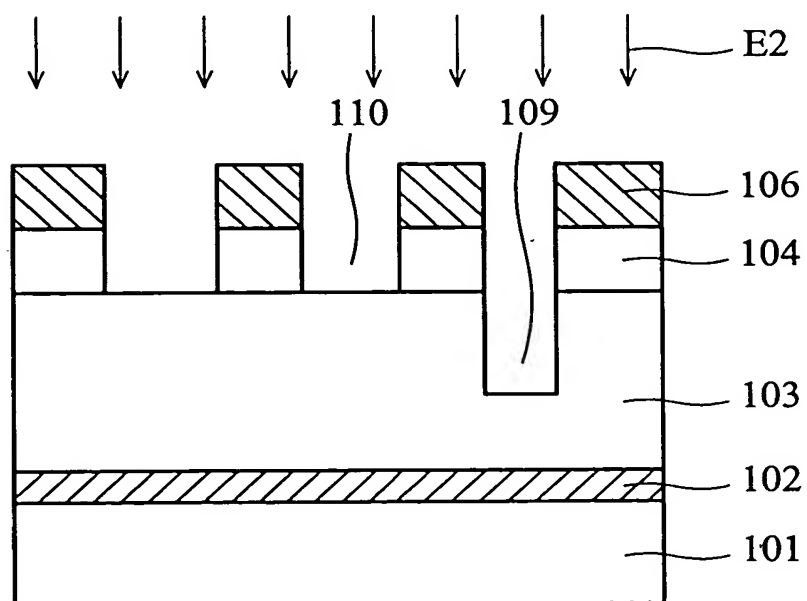
第 2C 圖



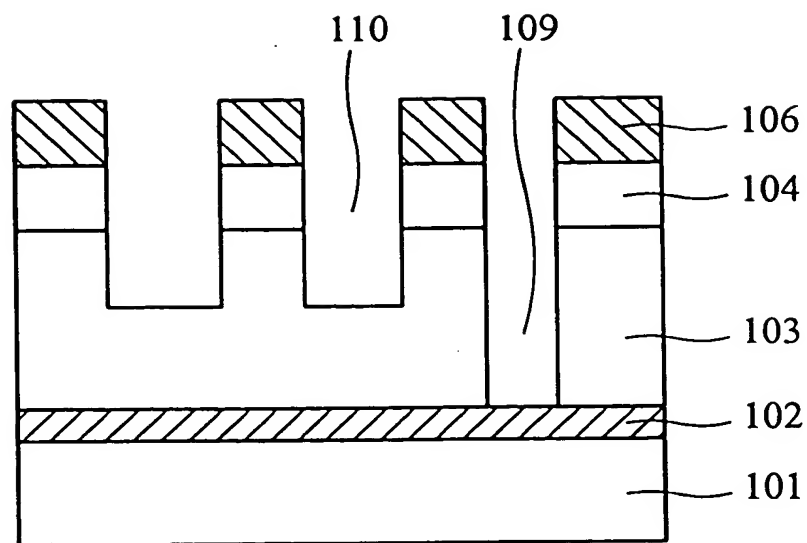
第 2D 圖



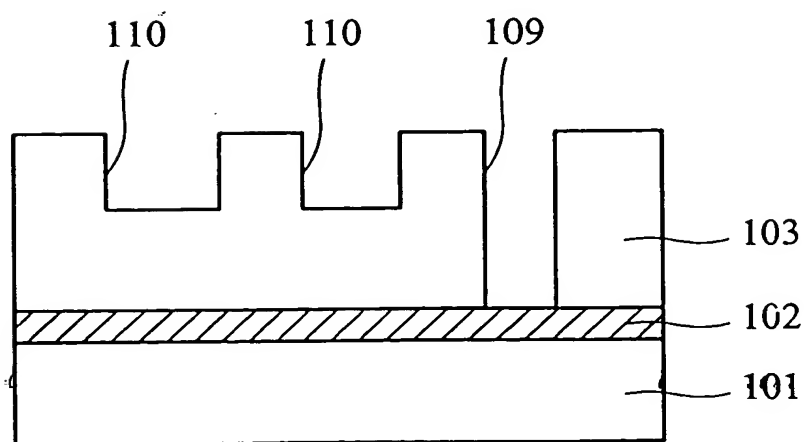
第 2E 圖



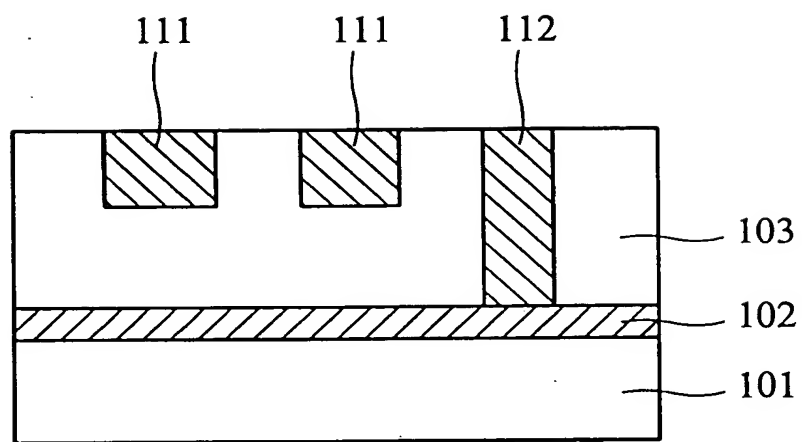
第 2F 圖



第 2G 圖

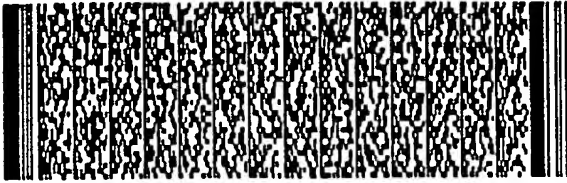


第 2H 圖



第 21 圖

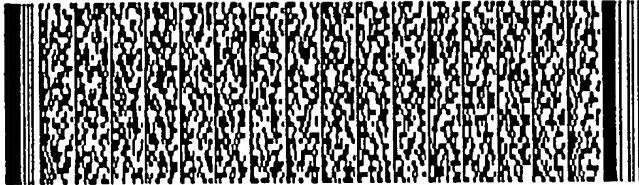
第 1/21 頁



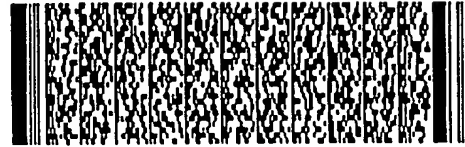
第 2/21 頁



第 3/21 頁



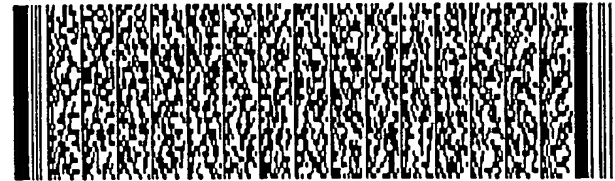
第 4/21 頁



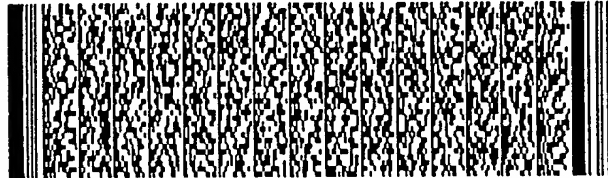
第 5/21 頁



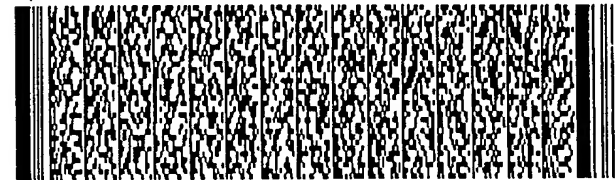
第 6/21 頁



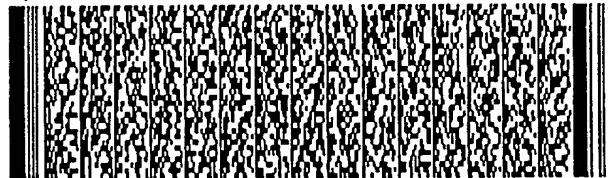
第 6/21 頁



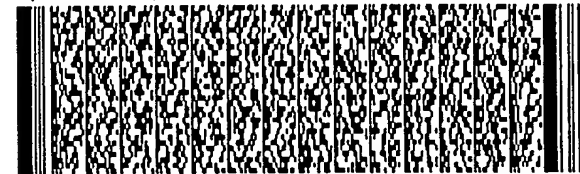
第 7/21 頁



第 7/21 頁



第 8/21 頁



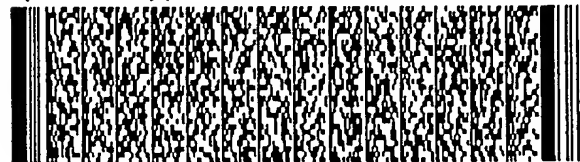
第 8/21 頁



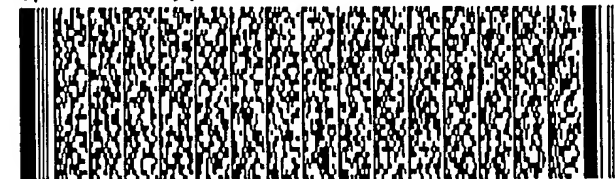
第 9/21 頁



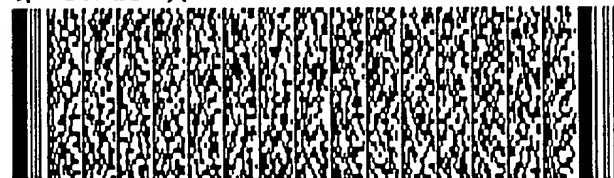
第 9/21 頁



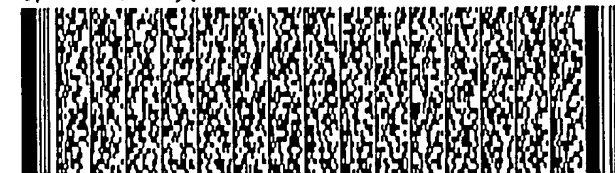
第 10/21 頁



第 10/21 頁

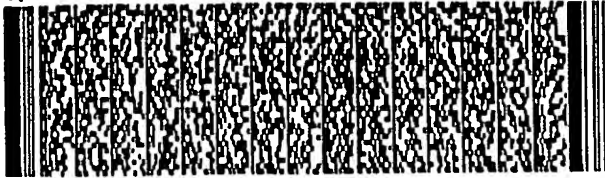


第 11/21 頁

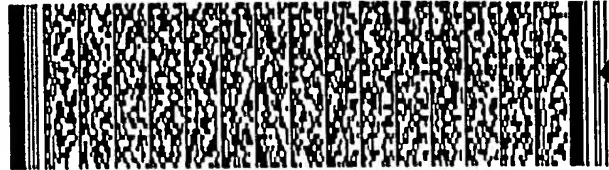


BEST AVAILABLE COPY

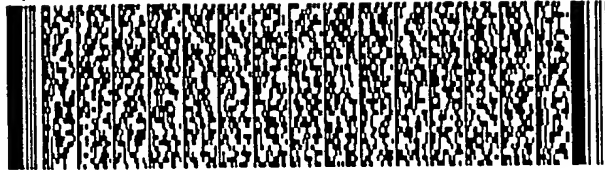
第 11/21 頁



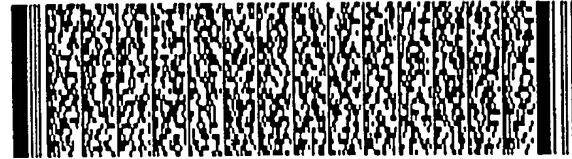
第 12/21 頁



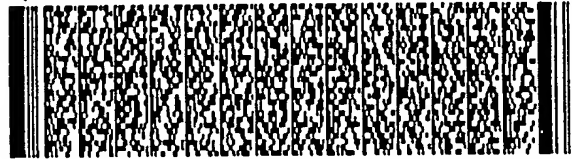
第 12/21 頁



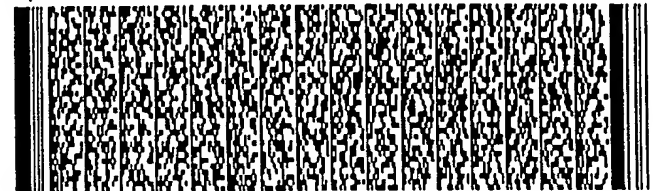
第 13/21 頁



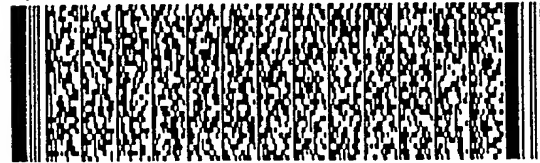
第 13/21 頁



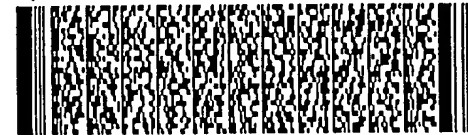
第 14/21 頁



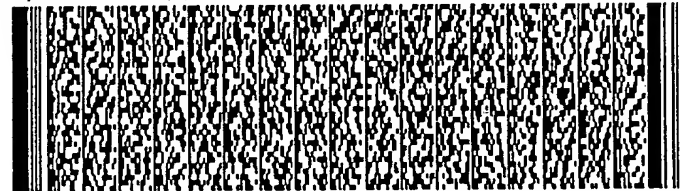
第 15/21 頁



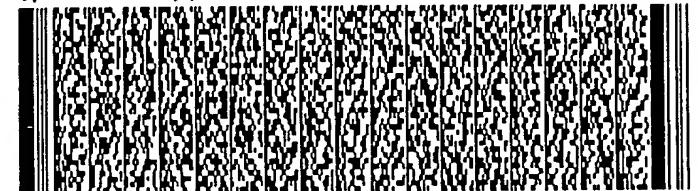
第 16/21 頁



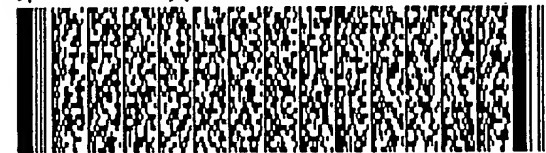
第 17/21 頁



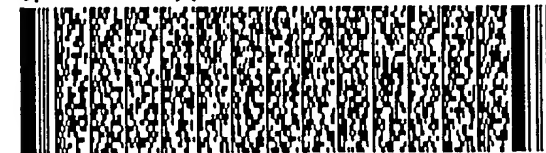
第 18/21 頁



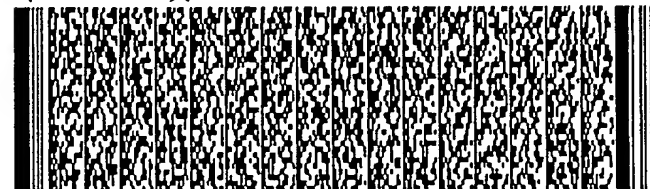
第 19/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

